

一种动态可配置二维 CFAR 处理器的设计与实现

高巍, 杨昊, 蒋荣堃, 谢芳, 周哲, 王晓华

(北京理工大学 信息与电子学院, 北京 100081)

摘要: 为实现多场景下二维恒虚警(CFAR)算法的硬件加速,提出了一种基于FPGA平台的动态可配置二维CFAR处理器实现结构.该处理器实现了单元平均(CA)、最大选择(GO)、最小选择(SO)及有序统计(OS)4种二维矩形窗检测器的流水运算.通过参数的控制,该处理器支持参考窗尺寸、保护窗尺寸及检测器类型等可配置.对于 256×512 点二维检测数据,该处理器各检测器的运算时间均小于3ms,检测门限相对误差不超过0.1%.验证结果表明该处理器能较好地完成雷达二维检测数据的恒虚警检测工作.

关键词: 雷达目标检测; 二维恒虚警; 现场可编程逻辑门阵列; 动态可配置

中图分类号: TP957 **文献标志码:** A **文章编号:** 1001-0645(2020)07-0797-06

DOI: 10.15918/j.tbit.1001-0645.2018.517

Design and Implementation of a Runtime-Configurable Two-Dimensional CFAR Processor

GAO Wei, YANG Hao, JIANG Rong-kun, XIE Fang, ZHOU Zhe, WANG Xiao-hua

(School of Information and Electronics, Beijing Institute of Technology, Beijing 100081, China)

Abstract: A hardware architecture of runtime-configurable two-dimensional constant false alarm rate (CFAR) processor was proposed based on FPGA to improve the algorithm speed for multi-scenario. This processor was designed to implement four pipeline architecture operations, cell averaging (CA), greatest of (GO), smallest of (SO) and ordered statistics (OS), for two-dimensional rectangular window (2D-RW) detectors. Also, controlling correlative parameters, this processor could make the reference window size, guard window size and detector type configurable. Test results show that, for 256×512 points data, the computation time of each detector in the processor is less than 3ms, and the relative error of detection threshold is no more than 0.1%, validating its better detection ability for two-dimensional radar data.

Key words: radar target detection; two-dimensional constant false alarm rate; field programmable gate array (FPGA); runtime-configurable

恒虚警率(constant false alarm rate,CFAR)检测作为雷达目标自动检测系统中重要的一环,能够在保证雷达虚警率恒定的前提下,根据局部噪声功率自动调整检测门限,并进行目标判决^[1].在均匀杂波背景下单元平均(cell averaging,CA)检测器^[2]具有较好的检测性能.为了提高CFAR算法在杂波边缘和多目标环境中的检测性能,最小选择(smal-

lest of,SO)检测器^[3]、最大选择(greatest of,GO)检测器^[4]、有序统计(ordered statistics,OS)检测器^[5]等不同检测器模型被相继提出.为了实现在雷达距离-多普勒(range-doppler, RD)空间进行目标自动检测,二维CFAR算法也被相应提出^[6-7].

CFAR算法的实现平台主要为DSP和FPGA.众多研究者对一维CFAR算法的FPGA实现进行

收稿日期: 2018-12-19

作者简介: 高巍(1984—),男,博士,讲师,E-mail: titigw@bit.edu.cn;杨昊(1995—),男,硕士生,E-mail: yang_hao@bit.edu.cn.

通信作者: 王晓华(1971—),女,博士,副教授,E-mail: xh_wong@bit.edu.cn.

了大量的研究. 文献[8]提出了一种同时支持一维 CA、GO 及 SO 检测器的实现结构, 该结构参考单元为 32, 保护单元为 8. Perezandrade R 等^[9]在此基础上使用基于 FIFO 模型的线性排序器实现了对一维有序统计类 CFAR 算法的支持, 该结构参考单元及保护单元数目可在编译时静态调整. 高亚军等^[10]对参考窗及保护窗动态可调的一维 GO-CFAR 结构进行了分析. 该结构使用移位寄存器组对结构中的延时单元进行控制从而实现参考窗及保护窗的动态可调. 目前对二维 CFAR 算法的实现主要集中在 DSP 软件层面^[11], FPGA 实现涉及较少. 针对二维 CFAR 算法的 FPGA 实现, 刘中祥等^[12]提出了二维十字窗 OS-CFAR 实现结构. 该结构基于二元积累法实现二维十字窗 OS-CFAR 检测, 其单边参考单元为 32, 单边保护单元为 2. 邓超^[13]提出了二维十字窗均值类 CFAR 实现结构, 该结构支持 CA、GO 及 SO 检测器, 距离维单边参考单元为 32, 多普勒维单边参考单元为 8, 保护单元为 1.

以上二维 CFAR 算法实现结构无法兼顾均值类检测器与有序统计检测器, 且检测窗口为固定大小. 为了适应多种使用场景需求, 本文以 FPGA 为实现平台, 提出了一种动态可配置二维 CFAR 处理器实现结构. 该处理器支持门限因子、排序值、参考窗尺寸、保护窗尺寸等可配置, 并支持 CA、GO、SO 及 OS 4 种检测器可选, 具有较大的使用灵活性. 对于 256×512 点二维检测数据, 该处理器 4 种检测器的运算时间均小于 3 ms, 检测门限相对误差不超过 0.1%, 能够满足实际工程需求.

1 二维 CFAR 算法模型

二维 CFAR 算法主要用来实现对雷达二维 RD 数据的自适应门限检测. 常用的一维 CFAR 检测器如 CA 检测器、GO 检测器、SO 检测器、OS 检测器均可拓展至二维 CFAR 算法当中. 二维 CFAR 算法中常用的参考窗形式有十字窗、米字窗和矩形窗. 根据有效目标在二维 RD 空间中的局部拓展性, 利用二维矩形参考窗 CFAR 能够更准确地进行干扰估计并减小干扰对目标检测的影响^[14]. 本文主要研究二维矩形窗(two-dimensional rectangular window, 2D-RW)CFAR 算法的 FPGA 设计与实现. 图 1 为二维矩形窗 CFAR 算法示意图.

图中二维 $N \times N$ 数据中心为检测单元 Y . 为了避免目标泄露对检测性能的影响, 检测器中引入阴

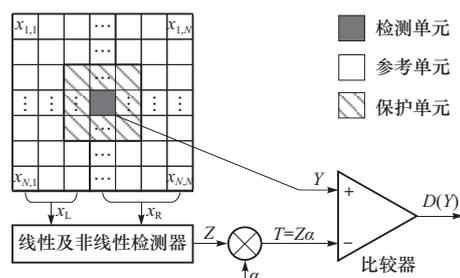


图 1 二维矩形窗 CFAR 算法

Fig. 1 2D-RW CFAR algorithm

影部分作为保护单元. 参考窗内的参考单元分为左窗单元 x_L 及右窗单元 x_R . 左窗单元及右窗单元通过线性及非线性检测器计算得出检测单元的干扰估计值 Z . 常见的线性检测器包含 CA 检测器、GO 检测器及 SO 检测器, 非线性检测器为 OS 检测器. 式(1)总结了 4 种检测器中干扰估计值的计算方式.

$$Z = \begin{cases} (S_L + S_R)/2 & \text{CA} \\ \max(S_L, S_R) & \text{GO} \\ \min(S_L, S_R) & \text{SO} \\ X_k & \text{OS} \end{cases} \quad (1)$$

式中: S_L 与 S_R 分别为左窗单元与右窗单元的累加值; X_k 为所有参考单元中升序排列的第 k 个排序值.

如图 1 所示, 检测单元的干扰估计值 Z 乘以门限因子 α 后得到检测门限 T . 门限因子的选取主要取决于检测器类型及虚警概率. 检测单元 Y 与检测门限 T 比较, 并根据式(2)的判决准则得到判决结果 $D(Y)$,

$$D(Y) = \begin{cases} 1 & Y \geq T \\ 0 & Y < T \end{cases} \quad (2)$$

2 基于二元积累法的 OS-CFAR 模型

在二维矩形窗 CFAR 算法的 OS 检测器硬件实现过程中, 存在着数据排序计算量大、延时高、实时性不强等问题. 对于一维数据排序, 硬件排序器的实现结构主要分为排序网络^[15]与排序数组^[16]两类. 在排序网络中, 输入数据经过由处理单元组成的多层网络, 流水计算后得到排序结果; 而在排序数组中, 数组内的数据始终有序排列, 排序数组需要在每个周期将新的数据插入对应位置, 并剔除内部的一个旧数据. 排序网络的流水结构保证了其较大的数据吞吐量, 但随着排序深度的增加, 排序网络的处理单元数量及网络深度将呈平方增长, 并带来较大的数据延时. 排序数组能够保证较少的处理单元数量及数据延时, 但排序数组的工作依赖于数据流的连续性, 即类似于 FIFO 的先入先出规则. 综上所述,

排序网络结构与排序数组结构均不适合拓展至二维矩形窗 OS-CFAR 算法的实现结构。

本文采用二元积累法(rank-only method)^[12,17]来实现二维矩形窗 OS-CFAR 算法,其结构如图 2 所示.该结构实现了二维矩形窗 OS-CFAR 算法的流水运算,保证了运算实时性.同时该结构中引入了压缩检测单元 Y/α 进行二元积累,与文献[11]中的结构相比避免了所有参考单元与门限因子的乘法操作,减少了硬件资源消耗.

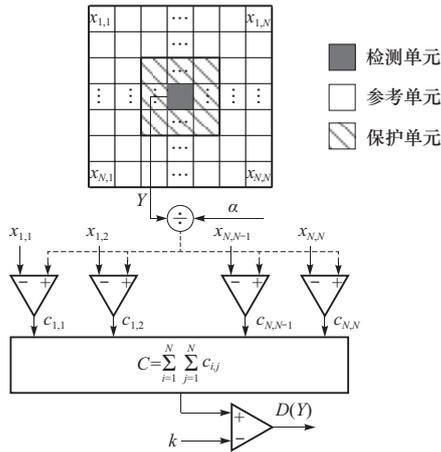


图 2 基于二元积累法的二维矩形窗 OS-CFAR 模型
Fig. 2 2D-RW OS-CFAR model based on rank-only method

在此结构中,检测器对检测单元的检测并不需要对参考窗内所有数据进行排序操作.结构中每一个比较器均会判断压缩检测单元 Y/α 是否大于参考窗内对应的参考单元,并输出比较结果(0 或 1).

图中 C 为二元积累值,即所有小于压缩检测单元的参考单元个数.如果有超过 k 个参考单元小于压缩检测单元,则说明检测单元大于 $X_i\alpha$,此时检测单元为目标,否则为杂波.二元积累法下 OS-CFAR 判决准则为

$$D(Y) = \begin{cases} 1 & C \geq k \\ 0 & C < k \end{cases} \quad (3)$$

3 二维 CFAR 处理器硬件实现

3.1 二维 CFAR 处理器顶层结构

本文提出的二维 CFAR 处理器主要用来实现对雷达 RD 数据的二维矩形窗恒虚警检测.根据输入配置参数的控制,二维 CFAR 处理器支持门限因子、排序值、参考窗尺寸、保护窗尺寸可配置;支持 CA、GO、SO 及 OS 4 种检测器可选;支持二维数据边界点处理功能;计算结果输出为目标个数、目标功率值及目标坐标值.二维 CFAR 处理器的单次检测数据尺寸 A 为 64,对较大数据通过拆分进行处理.

如图 3 所示,二维 CFAR 处理器主要由均值产生模块、均值排序计算模块及目标检测模块组成.对于参考窗在二维数据边界处参考单元缺失的情况,本设计使用有效参考单元均值对残缺数据加以补充.为此,本设计引入了均值产生模块.该模块能够根据数据边界条件,进行二维矩形窗数据累加及有效参考单元个数计算,最终得到参考窗内有效参考单元均值,并将检测单元值与其周围参考单元均值进行对齐输出.

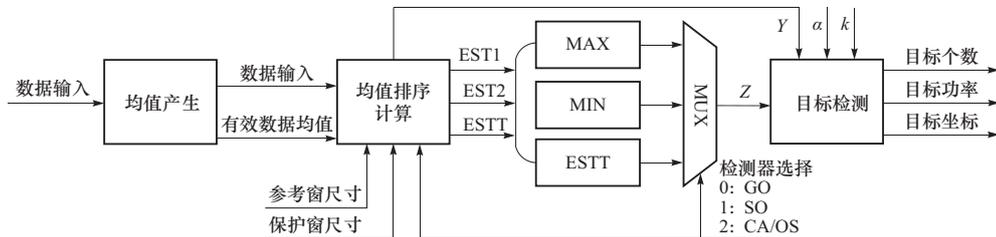


图 3 二维 CFAR 处理器顶层结构
Fig. 3 Top level architecture of 2D CFAR processor

均值排序计算模块在图 2 结构的基础上,加入了计算单元逻辑及干扰估计值计算逻辑,实现了对不同窗口尺寸及检测器类型的支持.均值排序计算模块将输入数据进行移位缓存,并根据检测器类型、窗口大小、边界条件等要求计算出当前参考窗内参考单元的均值估计或二元积累值.图中 EST1 为左窗估计值,EST2 为右窗估计值,ESTT 为全窗估计值.多路选择器 MUX 能够根据检测器选择信号控

制干扰估计值 Z .

目标检测模块根据检测单元、干扰估计值及检测器类型进行目标判决,并输出目标个数、目标功率值及目标坐标值.如果检测器类型为线性检测器, Z 为参考窗内数据的均值估计,此时目标检测模块的判决准则为式(2).如果检测器类型为非线性检测器, Z 为参考窗内数据的二元积累值,此时目标检测模块的判决准则为式(3).

3.2 均值排序计算模块结构

均值排序计算模块结构如图 4 所示. 图中 N 为计算单元个数, 可由式(4)计算得到; n 为任意一个计算单元下标值; M 为最大参考窗单元个数, 即

$W_{R_{\max}} \times W_{R_{\max}}$; m 为当前配置参数下有效参考单元个数,

$$N = (A + W_{R_{\max}} - 1)W_{R_{\max}} - A + 1. \quad (4)$$

式中 $W_{R_{\max}}$ 为参考窗最大尺寸.

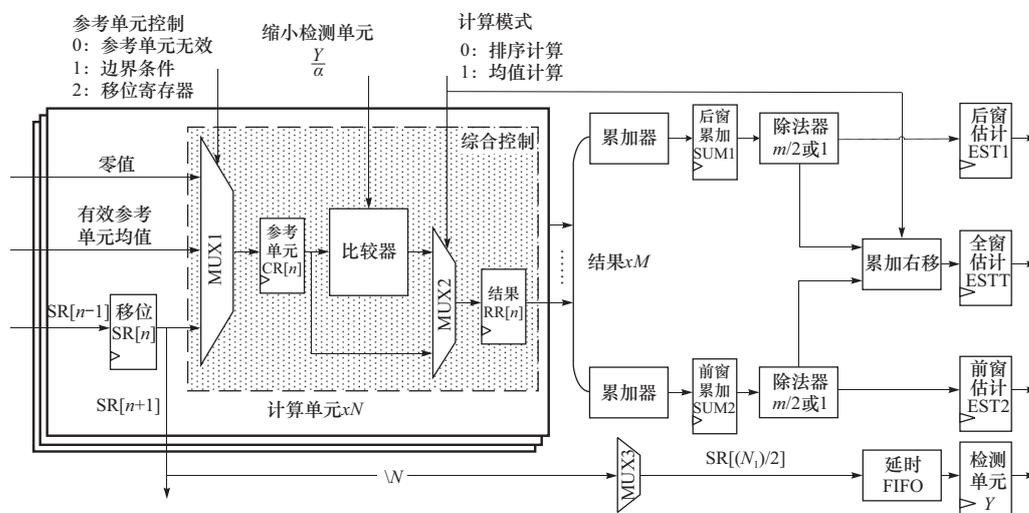


图 4 均值排序计算模块结构

Fig. 4 Mean-sort module architecture

均值排序计算模块具有 5 级流水结构, 由 N 个计算单元及干扰估计值计算逻辑组成. 为了将检测单元与所有参考单元在同一时钟周期读出、满足运算实时性及结构流水设计的需求, 均值排序计算模块使用移位寄存器组来缓存二维检测数据. 所有计算单元内部的移位寄存器按照一定的顺序, 构成深度为 N 的移位寄存器组. 输入数据与移位寄存器的移位关系如图 5 所示. 图的中心位置为检测单元 Y , 周围阴影区域表示最大参考窗范围. 输入数据进入移位寄存器组后按照箭头方向进行移位操作, 图中上边界移位寄存器的输出送至其相邻左侧下边界移位寄存器的输入.

计算单元中 MUX1 能够控制内部参考单元寄存器. 如果当前参考单元不在参考窗有效范围内, MUX1 输出为 0; 如果当前参考单元有效且位于数据边界处, MUX1 输出为有效参考单元均值; 否则 MUX1 输出为当前计算单元的移位寄存器.

参考单元寄存器输出经过比较器及 MUX2 的选择得到结果寄存器输入. 均值排序计算模块分别将图 5 阴影部分左、右窗 $(M-1)/2$ 个结果寄存器累加后, 送入除法器得到左窗及右窗干扰估计值, 并通过下一级累加右移计算得到全窗估计值. 如果当前计算模式为排序计算, MUX2 输出为压缩检测单元与参考单元的比较结果(0 或 1), 此时全窗估计值

是所有参考单元的二元积累值; 如果当前计算模式为均值计算, MUX2 输出为参考单元寄存器, 此时全窗估计值是所有参考单元的均值估计. 移位寄存器组中心值 Y 经过 MUX3 选择及 FIFO 延时后作为检测单元输出. 为了减小硬件资源消耗, 图 4 中计算单元的阴影部分逻辑通过综合控制只在图 5 阴影部分存在.

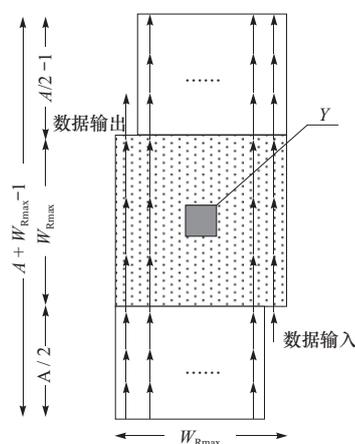


图 5 输入数据移位关系

Fig. 5 Shifting relationship of input data

4 实现结果

本设计中二维 CFAR 处理器的输入数据类型

为 32 位无符号整形,处理器的可配置参数与参数配置说明如表 1 所示.

表 1 二维 CFAR 处理器配置参数
Tab. 1 2D CFAR processor parameters

序号	配置参数	配置说明
1	检测器	a. CA 检测器 b. GO 检测器 c. SO 检测器 d. OS 检测器
2	门限因子 α	0-16-8 定点输入*
3	排序值 k	1 到最大有效参考单元个数升序排列
4	参考窗尺寸 W_R	3×3 至 33×33 步进值为 2
5	保护窗尺寸 W_G	1×1 至 19×19 步进值为 2

*注:16 位定点数,0 位符号,8 位小数

二维 CFAR 处理器使用 Synplify Premier 软件进行综合,并在 Xilinx FPGA 平台 xcvu440 上进行实现. 表 2 列出了二维 CFAR 处理器的 FPGA 综合结果. 在本结构中,均值排序计算模块内部计算单元个数为 3 105,左、右窗累加结果位宽为 43,压缩参考单元除法器流水级数为 7,左、右窗估计值除法器流水级数为 9.

表 2 二维 CFAR 处理器综合结果
Tab. 2 Synthesis result of 2D CFAR processor

FPGA	XCVU440-FLGA2892
LUT(查找表)/K	342(13%)
FF(寄存器)/K	227(4%)
BRAM(存储单元)	19(1%)
最大时钟频率/MHz	120

为了验证二维 CFAR 处理器的性能,验证过程使用 Matlab 模拟产生以瑞利杂波为背景,且含有两个目标的 256×512 点二维 RD 数据,并将此同时作为 FPGA 硬件实现及 Matlab 算法模型的检测数据. 验证过程中二维 CFAR 处理器的配置参数如下:参考窗尺寸为 21,保护窗尺寸为 5,门限因子为 14.05,排序值为 $312(21 \times 21 - 5 \times 5) \times 0.75 = 312$,式中 0.75 为排序经验值. 表 3 列出了二维 CFAR 处理器使用不同检测器处理 256×512 点二维 RD 数据的运算性能. 因为压缩参考单元除法器的流水延时及额外控制逻辑延时,OS 检测器运算周期数要多于其它检测器. 二维 CFAR 处理器将整体检测数据拆分为 32 个单次检测数据进行运算. 整体数据的平均运算时间为 2.98 ms,满足本设计 265×512 点二维 RD 数据 10 ms 的运算时间要求.

表 3 二维 CFAR 处理器运算性能
Tab. 3 2D CFAR processor performance

检测器	运算周期数	运算时间/ms
CA	358 029	2.98
GO	358 029	2.98
SO	358 029	2.98
OS	358 045	2.98
平均	358 033	2.98

图 6 给出了检测器为 CA 的情况下 FPGA 硬件实现与 Matlab 软件模型之间检测门限计算结果的相对误差. 从图 6 中可见,二者检测门限的相对误差均不超过 0.1%. 引起误差的主要原因为硬件实现中门限因子的定点转换及线性检测器内部均值结果的截位操作. 通过对比可知,二维 CFAR 处理器硬件实现的数据计算流程具有较高的精确度.

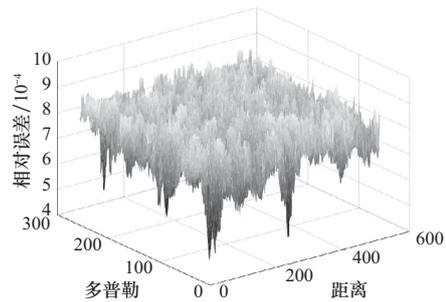


图 6 CA 检测器的检测门限相对误差
Fig. 6 Threshold relative error of CA detector

5 结 论

基于 FPGA 平台,提出了一种二维 CFAR 处理器. 该处理器的门限因子、排序值、参考窗尺寸、保护窗尺寸及检测器类型可以通过配置参数的控制进行动态调整,就其它窗口尺寸或检测器类型固定的 CFAR 硬件实现结构而言,本设计具有较大的使用灵活性及较广的应用场景. 该处理器实现了二维 CA、GO、SO 及 OS 检测器的流水运算,综合最大时钟频率为 120 MHz. 在 256×512 点二维 RD 数据上进行实验,二维 CFAR 处理器 4 种检测器的运算时间均小于 3 ms,检测门限相对误差不超过 0.1%. 实验对比结果表明,该处理器在运算速度和运算精度上均具有良好表现,能够满足二维 CFAR 检测在实际工程中的需求.

参考文献:

[1] 何友,关键,彭应宁. 雷达自动检测与恒虚警处理[M].

- 北京:清华大学出版社,1999.
- He You, Guan Jian, Peng Yingyu. Radar target detection and CFAR processing[M]. Beijing: Tsinghua University Press, 1999. (in Chinese)
- [2] Finn H M, Johnson R S. Adaptive detection mode with threshold control as a function of spatially sampled clutter-level estimates[J]. RCA Review, 1968, 29(3): 414 - 464.
- [3] Trunk G V. Range resolution of targets using automatic detectors[J]. IEEE Transactions on Aerospace & Electronic Systems, 2007, AES-14(5): 750 - 755.
- [4] Hansen V. Detectability loss due to "greatest of" selection in a cell-averaging CFAR[J]. IEEE Transactions on Aerospace & Electronic Systems, 2007, AES-16(1): 115 - 118.
- [5] Rohling H. Radar CFAR thresholding in clutter and multiple target situations [J]. IEEE Transactions on Aerospace and Electronic Systems, 1983, 19(4): 608 - 621.
- [6] 杨强, 刘永坦. 复杂背景下的二维检测研究[J]. 系统工程与电子技术, 2002, 24(1): 34 - 37.
Yang Qiang, Liu Yongtan. 2-D detection in complex background[J]. Systems Engineering and Electronics, 2002, 24(1): 34 - 37. (in Chinese)
- [7] 田黎育, 曾涛. 一种脉冲多普勒雷达信号模拟器的研究[J]. 北京理工大学学报, 2000, 20(6): 752 - 756.
Tian Liyu, Zeng Tao. A pulse Doppler radar signal simulator[J]. Transactions of Beijing Institute of Technology, 2000, 20(6): 752 - 756. (in Chinese)
- [8] Torreshuitzil C, Cumplido R, Lópezestrada S. Design and implementation of a CFAR processor for target detection[C]//Proceedings of Field Programmable Logic & Application, International Conference. Leuven, Belgium: Springer, 2004.
- [9] Perezandrade R, Cumplido, René, Uribe C F, et al. A versatile hardware architecture for a constant false alarm rate processor based on a linear insertion sorter[J]. Digital Signal Processing, 2010, 20(6): 1733 - 1747.
- [10] 高亚军, 张冠杰, 陈矛. 基于FPGA的CFAR设计与实现[J]. 火控雷达技术, 2006, 35(3): 64 - 68.
Gao Yajun, Zhang Guanjie, Chen Mao. Design and implementation of a CFAR based on FPGA[J]. Fire Control Radar Technology, 2006, 35(3): 64 - 68. (in Chinese)
- [11] 任磊, 陈辉, 陈建文, 等. 基于DSP的二维CFAR检测快速实现[J]. 系统工程与电子技术, 2009, 31(7): 1627 - 1631.
Ren Lei, Chen Hui, Chen Jianwen, et al. Implementation of two-dimensional CFAR detection based on DSP[J]. Systems Engineering and Electronics, 2009, 31(7): 1627 - 1631. (in Chinese)
- [12] 刘中祥, 宋志勇, 付强. 基于FPGA的二维OS-CFAR设计与实现[J]. 全球定位系统, 2015, 40(5): 76 - 80.
Liu Zhongxiang, Song Zhiyong, Fu Qiang. Design and implementation of two-dimensional OS-CFAR based on FPGA[J]. GNSS World of China, 2015, 40(5): 76 - 80. (in Chinese)
- [13] 邓超. 杂波干扰环境下雷达恒虚警处理及其实现技术研究[D]. 成都: 电子科技大学, 2014.
Deng Chao. Research on algorithm and implementation of CFAR under clutter interference in radar [D]. Chengdu: University of Electronic Science and Technology of China, 2014. (in Chinese)
- [14] 梁建. 高频地波雷达目标二维CFAR检测及软件实现[D]. 青岛: 中国海洋大学, 2014.
Liang Jian. Target CFAR detection method and software implementation with two-dimension data for HF-SWR[D]. Qingdao: Ocean University of China, 2014. (in Chinese)
- [15] Batcher K E. Sorting networks and their applications [C]//Proceedings of American Federation of Information Processing Societies; AFIPS Conference Proceedings, 1968 Spring Joint Computer Conference. Atlantic City, NJ, USA: Association for Computing Machinery, 1968.
- [16] Lee C Y, Tsai J M. A shift register architecture for high-speed data sorting[J]. Journal of Vlsi Signal Processing Systems for Signal Image & Video Technology, 1995, 11(3): 273 - 280.
- [17] Bales M R, Benson T, Dickerson R, et al. Real-time implementations of ordered-statistic CFAR[C]//Proceedings of IEEE Radar Conference. Atlanta, GA, USA: IEEE, 2012.

(责任编辑: 刘芳)