

一种采用时域比较器的低功耗逐次逼近型模数转换器的设计

张蕾，杨晨晨，王兴华

(北京理工大学 信息与电子学院, 北京 100081)

摘要：基于 CMOS 90 nm 工艺设计了一款采用时域比较器的 10 位逐次逼近型模数转换器 (successive approximation register analog-to-digital convertor, SAR ADC)。与传统动态比较器相比, 时域比较器利用差分多级电压控制型延时线将电压信号转为时间信号, 并通过鉴相器鉴别相位差而得到比较器结果, 减小了共模偏移对比较器的影响和静态功耗。同时, 电路采用部分单调式的电容阵列电压转换过程, 有效减小电容阵列总电容及其功耗。仿真结果表明, 在电源电压 1 V, 采样率 308 kS/s, 信号幅度 0.9 V 的情况下, 有效位数 (ENOB) 为 9.45 bits, 功耗为 13.48 μ W。

关键词：逐次逼近模数转换器；模数转换器时域比较器；低功耗

中图分类号：TN792 文献标志码：A 文章编号：1001-0645(2020)05-0526-05

DOI：10.15918/j.tbit.1001-0645.2018.087

Design of Low-Power Successive Approximation Register Analog-to-Digital Convertor Based on a Time-Domain Comparator

ZHANG Lei, YANG Chen-chen, WANG Xing-hua

(School of Informationand Electronics, Beijing Institute of Technology, Beijing 100081, China)

Abstract: In this paper, a 10 bit low power successive approximation register analog-to-digital converter (SAR ADC) was presented based on a time-domain comparator in 90 nm CMOS. Compared with conventional dynamic comparator, the time-domain comparator was arranged with differential multi-stage voltage controlled delay lines to convert voltage to time signal, and the time difference was sensed by a phase detector to reduce influence of common-mode various and static power consumption. And a partial monotonic switching strategy was employed to convert voltage in capacitor array, cutting down total capacitance and power consumption. Simulation results show that, with 1 V power supply, 308 kS/s at Nyquist sampling rate and 0.9 V signal scope, the ENOB can achieve 9.45 bit with 13.48 μ W power consumption.

Key words: successive approximation register; analog-to-digital converter time-domain comparator; low power consumption

随着无线传感器网络、可穿戴设备、医学可植入器件等新兴、低能耗器件系统的应用需求越来越迫切^[1-4], 对系统中模数转换器等核心器件提出了更高的要求。相比于快闪型 (flash)、流水线型 (pipeline) 和 Σ - Δ 型 (Sigma-delta) 等类型的模数转换器, 逐次逼近型模数转换器结构简单、模拟电路少、功耗低、尺寸小、输出数据不存在流水延时等优点, 而且其制

造工艺与现代数字 CMOS 工艺的兼容性好, 易于在较低的工艺成本下实现等特性, 得到了广泛的应用^[5-8]。近些年, 降低整个 SAR ADC 系统功耗的新型电路结构不断涌现。例如, 通过优化开关电容阵列的电平转换能效^[9]; 采用分段式电容减小电容阵列的总电容, 进而降低功耗^[10]; 基于信号活跃性的采用低位开始的逐次逼近方法^[11]; 采用低功耗的动

态比较器^[12];半动态SAR控制逻辑^[13]等等电路。

本文提出了一种适用于便携可穿戴设备的10位低功耗SAR ADC。电路采用时域比较器有效降低了整体电路的静态功耗,减小了共模偏移对比较器的影响。同时,采用分段式电容阵列以及部分单调式电容阵列电压转换方式,有效减小整体电路的总电容和功耗。

1 SAR ADC 整体结构

本文设计的基于时域比较器的SAR ADC结构如图1所示,主要模块包括栅压自举开关、时域比较器、数模转换电路(DAC)、时钟产生电路和逻辑控制单元。与传统电压模比较器不同,本文采用时域

比较器,将不同的输入电压信号转化为对电容的放电速率的不同,进而转换为时间信号,通过鉴相器检测出有不同输入信号产生的延时差异。DAC电路采用分段式二进制加权的电容阵列结构,大大降低了所需单位电容的数目。实现10位的转换精度,传统的并行二进制加权电容阵列结构需要1 024个单位电容,本文通过分段式电容阵列降低总电容,进而降低整个电容阵列功耗,如图1所示,电容阵列分为高5位与低5位DAC,中间通过桥接电容 C_s 连接,整体只需128个单位电容即可实现10位DAC的功能,单位电容为200 fF。整体电路采用全差分结构有效抑制了衬底和电源噪声,提高了电路精度。

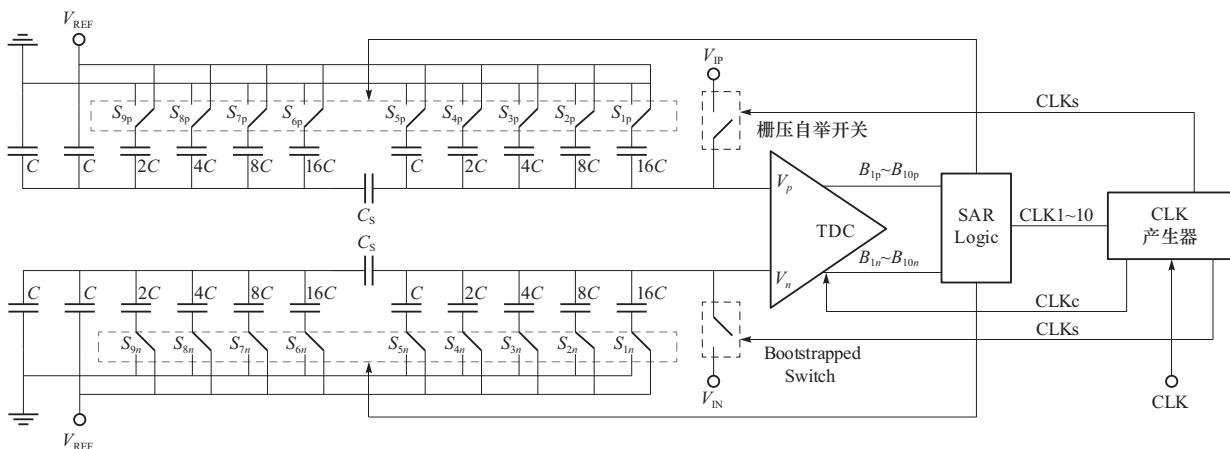


图1 SAR ADC 的结构

Fig. 1 The structure of SAR ADC

电路在初始状态最高位电容的下极板接地电位,其他位电容的下极板接参考电压电位 V_{REF} 。栅压自举开关对输入信号进行采样并将采样后的电平保持在DAC的上级板,比较器对采样信号进行第一次比较,如果 $V_p < V_n$ 则比较器的 p 输出为0, n 输出为1,电容阵 p 端最高位电容的下极板切换至 V_{REF} , n 端保持不变,反之同理。然后比较器进行剩下的9次比较,逻辑控制单元根据比较结果将较大一端的相应电容位下极板切换至地电位,比较结果较小一端的电容下极板保持不变。这种单调式的电容阵列切换策略有效减小了功耗和共模偏移,提高了转换精度。

2 电路设计

2.1 栅压自举开关

在SAR ADC中,采样保持电路对输入信号进行采样,其性能对整体信噪比、线性度和直流失调等有重要影响。在采样阶段,开关导通电阻和采样电容构成了一个RC网络,限制了带宽。自举开关的

栅-源电压为一定值,导通电阻恒定,不随输入信号的变化而变化,极大地提高了开关地线性度,改善了采样保持电路地性能。传统自举开关采用电荷泵的方式,实现开关管的高栅压,本文采用改进型自举开关,如图2所示,减小了大电容的使用,大大减少了开关的功耗,同时有效节省了芯片面积。

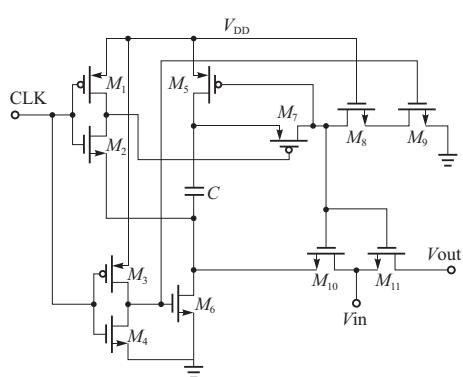


图2 栅压自举开关

Fig. 2 Bootstrap switch

时钟信号 CLK 为低电平时, M_3 和 M_4 构成的反相器输出高电平使 M_6 导通, 电容 C 下极板接地, M_8 和 M_9 棚极为高电平导通, M_8 漏极接低电平, M_5 导通, 电容 C 被充电到 V_{DD} , M_1 导通, 故 M_7 棚极接高电平而截止, 开关 M_{11} 处于断开状态; 当时钟信号为高电平时, M_6 和 M_9 截止, M_2 导通, M_7 棚极接在 M_6 漏极, 即 M_7 的栅源电压为 $-V_{DD}$, 管子导通, 其漏电压为高电平, M_{10} 导通, 开关管 M_{11} 的栅电压升至 $V_{DD} + V_{in}$, 开关处于导通状态, 棚源电压为 V_{DD} , 实现栅压自举功能。

2.2 时域比较器

本文提出的时域比较器(time domain comparator, TDC), 由两个电压控制延时线(voltage control delay line, VCDL)和一个鉴相器(phase detector, PD)组成, 如图 3 所示。

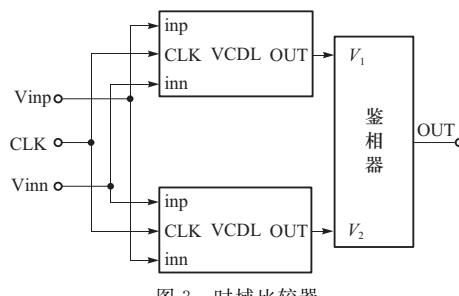


Fig. 3 Time domain comparator

电压控制延时线相当于比较器的预放大电路, 由多级电压控制型延时单元组成, 如图 4 所示。输入信号 inn 和 inp 控制对寄生电容的充放电时间, 从而控制从输入时钟到输出时钟的延时时间, 对于 NMOS 控制的延时级, 控制电压 inp 越大, 输出节点的放电电流越大, 延时时间越小; 对于 PMOS 控制的延时级, 控制电压 inn 越小, 输出节点的充电电流越大, 延时时间越小。对任意一个电压控制延时线来说, inp 越大, inn 越小, 由比较器时钟 CLK 到输出 OUT 的延时时间越小, 因此差分输入对两个延时线的延时时间影响是相反的, 两个延时线的输出 IN1 和 IN2 之间存在着相位差。对于每一级延时电路来说, 假设其压摆率恒定, 如式(1)所示。

$$S_R = I_{SS}/C_p. \quad (1)$$

式中: I_{SS} 为充放电电流; C_p 为每一级输出节点的寄生电容, 则该级的延时时间 T_d 为

$$T_d = \frac{V_{DD}/2}{S_R} = \frac{C_p V_{DD}}{2 I_{SS}}. \quad (2)$$

由两级延时电路构成的延时线的延时与差分输

入信号 $\Delta V_{in} = V_{inp} - V_{inn}$ 有关, 可表示为

$$T_{diff} = \frac{C_p V_{DD}}{2} \left[\frac{1}{I_{SS} - \frac{g_m \Delta V_{in}}{2}} - \frac{1}{I_{SS} + \frac{g_m \Delta V_{in}}{2}} \right]. \quad (3)$$

化简为

$$T_{diff} = \frac{g_m C_p V_{DD}}{2 I_{SS}^2} \Delta V_{in}. \quad (4)$$

其中 g_m 为输入管工作时的跨导, 因此由 N 级延时电路构成的延时线的电压-时间增益可表示为

$$G_N = \frac{N}{2} \frac{g_m C_p V_{DD}}{2 I_{SS}^2}. \quad (5)$$

从式(5)看出, 可以通过增加级数或提高寄生电容的方式增大电压控制延时串的电压-时间增益。延时电路的功耗主要包括由漏电流引起的静态功耗和电路翻转时的动态功耗, 其中对寄生电容进行充放电造成的动态功耗占整体电路的主要部分, 因此 N 级电压控制延时电路的总功耗可以表示为

$$P_N = N(I_{leak} V_{DD} + C_p V_{DD}^2 f). \quad (6)$$

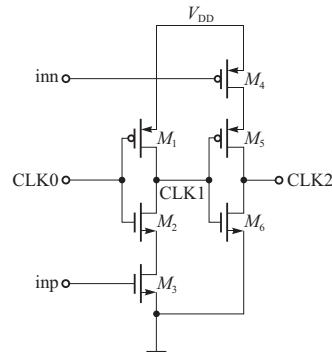


图 4 单级电压控制延时电路

Fig. 4 Single voltage controlled delay circuit

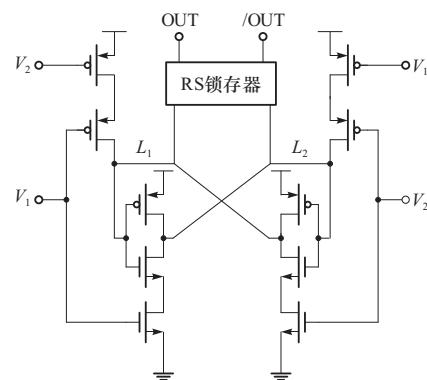


图 5 鉴相器

Fig. 5 Phase detector

基于 RS 锁存器结构的鉴相器鉴别 IN1 和 IN2 间的相位差, 得出比较结果。初始状态 IN1 和 IN2 都为 0, L_1 和 L_2 均被拉至 V_{DD} , 输出 OUT 保持之前的状态,

当 $V_{inp} > V_{inn}$ 时, IN1 的延时时间小于 IN2 的延时时间, 即 IN1 超前 IN2 上升至高电平, L_1 先于 L_2 被拉到底, 导致 L_2 受正反馈作用变为 V_{DD} , OUT 输出为 1; 反之当 $V_{inp} < V_{inn}$ 时, IN1 的延时时间大于 IN2 的延时时间, IN1 滞后于 IN2, L_2 先于 L_1 被拉到底, 导致 L_1 受正反馈作用变为 V_{DD} , OUT 输出为 0.

初始状态 IN1 和 IN2 都为 0, L_1 和 L_2 均被拉至 V_{DD} , 输出 OUT 保持之前的状态, 当 $V_{inp} > V_{inn}$ 时, IN1 的延时时间小于 IN2 的延时时间, 即 IN1 超前 IN2 上升至高电平, L_1 先于 L_2 被拉到底, 导致 L_2 受正反馈作用变为 V_{DD} , OUT 输出为 1; 反之当 $V_{inp} < V_{inn}$ 时, IN1 的延时时间大于 IN2 的延时时间, IN1 滞后于 IN2, L_2 先于 L_1 被拉到底, 导致 L_1 受正反馈作用变为 V_{DD} , OUT 输出为 0.

2.3 控制逻辑单元及时序

控制逻辑单元根据比较器输出结果, 控制 DAC 电容阵列中每一位电容电压的切换, 实现其输出电压与输入信号的逐次逼近。传统的单调式开关电容切换是在每一位均采用下拉模块, 即转换时将下极板由 V_{REF} 切换至地, 因此共模逐渐从 V_{cm} 下降至接近 0 的电位, 共模偏移非常大。部分单调切换策略要求上拉和下拉模块同时存在, 最高位使用上拉模块, 剩下 9 位使用下拉模块, 这样最终共模电平停留在 V_{cm} 附近。

上拉模块和下拉模块电路结构如图 6 所示。当时钟为低时, 与非门输出为“1”, 置位端 C_i 接地; 当时钟上升沿到来时, 由触发器将结果输送到反相器输入端, 如果比较结果为“1”, 经过反相器变为“0”,

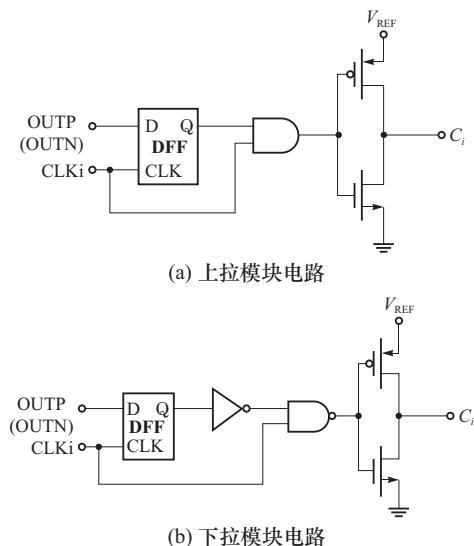


图 6 逻辑控制单元

Fig. 6 The logic control unit

C_i 保持不变, 若比较结果为“0”, 经过反相器变为“1”, 与非门输出“0”, 置位端 C_i 接 V_{REF} , 完成上拉动作。下拉单元功能与上拉单元功能相反, 其在比较结果较大的一端向下置位, 即时钟为低时, 与门输出为“0”, 置位端 C_i 保持输出 V_{REF} ; 当时钟上升沿到来时, 若比较结果为“0”, 即该位值较小, 与门输出“0”, 置位端保持 V_{REF} 不变, 当比较结果为“1”时, 与门输出变为“1”, 置位端 C_i 将接地, 完成下拉动作。

本文采用同步控制时序, 完成一次转换过程需要 12 个时钟(CLK)周期, 其中 2 个 CLK 为采样时钟周期(CLKS), 10 个时钟周期完成电压转换, 比较时钟(CLKC)由 CLK 及延时单元产生。采用部分单调式开关策略, 电容阵列需要切换 9 次, 因此只需 9 个控制切换电容阵的开关以及控制开关的时钟 CLK1~CLK9, 控制时序如图 7 所示。

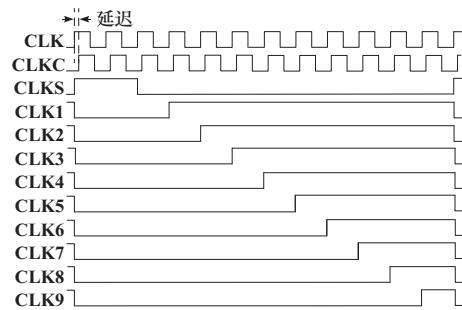


图 7 控制时序图

Fig. 7 Controlling timing diagram

3 仿真结果与分析

在 Cadence 仿真软件环境下, 采用 TSMC90 工艺, 对 SAR ADC 整体电路并进行仿真。在电源电压为 1 V, 参考电压 V_{REF} 为 1 V, 输入信号频率为 153.9 kHz, 幅度为 0.9 V, 采样率 308 kHz, 有效位数为 9.45 bit, 具体各项性能指标, 如表 1 所示。输入信号频率从 9~154 kHz 频率下 ADC 的性能曲线, 如图 8 所示。整体 SAR ADC 的版图, 如图 9 所示。

表 1 SAR ADC 性能总结

Tab. 1 Performance summary of proposed SAR ADC

性能参数	仿真数据
工艺/nm	TSMC 90
电源电压/V	1
采样率/kHz	308
带宽/kHz	154
SNR/dB	59.21
ENOB/bit	9.45
有效位数(Power)/ μ W	13.48
品质因数(FOM)/(fJ/conv)	42.70

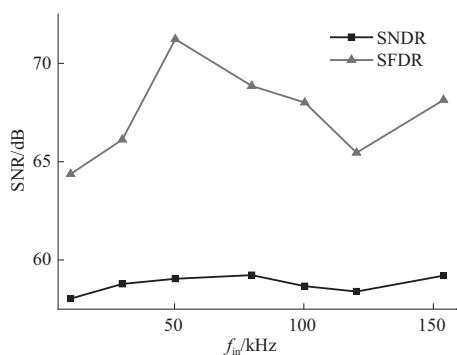


图8 输入信号频率在9~154 kHz下ADC的性能曲线

Fig. 8 Performance of ADC at input signal frequency from 9 kHz to 154 kHz

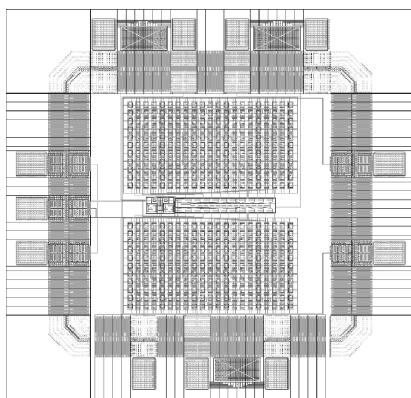


图9 SAR ADC版图

Fig. 9 Layout of SAR ADC

4 结 论

论文设计了一种适用于低功耗系统要求的SAR ADC,采用时域比较器替代传统比较器的实现方式,减小了共模偏移对比较器的影响和静态功耗,具有较强的实用价值。同时结合SAR ADC的结构特点,采用部分单调式的电容阵列电压转换过程,进一步有效减小电容阵列总电容及其功耗。仿真验证结果表明,该结构可以在保证10 bit转换精度的要求下有效降低整体电路的功耗,有着重要的实际意义。

参考文献:

- [1] 林鹏飞,陈少昌. A/D器件的发展[J].微型机与应用,2016,35(18):13~15,18.
Lin Pengfei, Chen Shaochang. The development of A/D [J]. Microcomputer & Its Application, 2016, 35 (18): 13 ~ 15, 18. (in Chinese)
- [2] 刘萌,马奎,刘娇,等.逐次逼近(SAR)模数转换器进展[J].电子设计工程,2015,23(15):8~12.
Liu Meng, Ma Kui, Liu Jiao, et al. Successive approximation analog-to-digital converter [J]. Electronic Design Engineering, 2015, 23(15): 8 ~ 12. (in Chinese)
- [3] Li Xiaoran, Zhong Shun'an, Yang Haidong, et al. Fully-differential multichannel integrated neural signal recording front-end[J]. Journal of Beijing Institute of Technology, 2017, 26(2): 228 ~ 234.
- [4] Zhuang Haoyu, Zhu Z, Wang J, et al. CDS circuit with high-performance VGA functionality and its design procedure[J]. Circuit Systems and Signal Processing, 2017, 36(5): 1781 ~ 1805.
- [5] 黄海. 低压、低功耗、高精度的逐次逼近型ADC的设计[D]. 成都:成都电子科技大学, 2013.
Huang Hai. Designs of low voltage, low power and high resolution successive approximation registers ADCs[D]. Chengdu: University of Electronic Science and Technology of China, 2013. (in Chinese)
- [6] Giannini V, Nuzzo P, Chironi V, et al. An 820 μW 9b 40 MS/s noise-tolerant dynamic-SAR ADC in 90 nm digital CMOS[D]. [S. l.]: ISSCC Dig. Tech., 2008: 238 ~ 340.
- [7] Zhuang Haoyu, Zhu Z, Yang Y, et al. CDS circuit with 0 to 18 dB, 9-bit VGA functionality[J]. Electronics Letters, 2014, 50(3): 158 ~ 159.
- [8] Xu R, Liu B, Yuan J. Digitally calibrated 768-kS/s 10-b minimum-size SAR ADC array with dithering[J]. IEEE Journal of Solid-State Circuits, 2012, 47(9): 2129 ~ 2140.
- [9] Sanyal A, Sun N. SAR ADC architecture with 98% reduction in switching energy over conventional scheme [J]. Electronics Letters, 2013, 49(4): 248 ~ 250.
- [10] Ginsburg B P, Chandrakasan A P. 500-MS/s 5-bit ADC in 65-nm CMOS with split capacitor array DAC[J]. IEEE Journal of Solid-State Circuits, 2007, 42(4): 739 ~ 747.
- [11] Yaul F M, Chandrakasan A P. A 10b 0.6 nW SAR ADC with data-dependent energy savings using LSB-first successive approximation[C]// IEEE International Solid-State Circuits Conference Digest of Technical Papers (ISSCC). CA, USA: IEEE, 2014: 198 ~ 199.
- [12] Xu Daiguo, Xu Shiliu, Chen Guangbing. High-speed low-power and low-power supply voltage dynamic comparator [J]. Electronic Letter, 2015, 51(23): 1914 ~ 1916.
- [13] Sun L, Li B, Wong A K Y, et al. A charge recycling SAR ADC With a LSB-down switching scheme[J]. IEEE Transactions on Circuits and Systems I: Regular Papers, 2015, 62(2): 356.

(责任编辑:刘芳)