

低阻硅 TSV 与铜 TSV 的热力学变参分析

陈志铭¹, 谢奕¹, 王士伟², 于思齐¹

(1. 北京理工大学 信息与电子学院, 北京 100081; 2. 北京理工大学 光电学院, 北京 100081)

摘要: 硅通孔(through-silicon-via, TSV)是三维集成技术中的关键器件。本文对低阻硅 TSV 与铜 TSV 的热力学特性随各项参数的变化进行了比较。基于基准尺寸, 比较了低阻硅 TSV 和铜 TSV 在 350°C 的工作温度下, 最大 von Mises 应力和最大凸起高度之间的不同。基于这两种结构, 分别对 TSV 的直径、高度、间距进行了变参分析, 比较了不同参数下, 两种 TSV 的热力学特性。结果表明, 低阻硅 TSV 具有更好的热力学特性。

关键词: 三维集成; 硅通孔; 热力学特性; 有限元分析

中图分类号: TN402 **文献标志码:** A **文章编号:** 1001-0645(2018)11-1177-05

DOI: 10.15918/j.tbit.1001-0645.2018.11.012

Impact of Dimensions on Thermal-Mechanical Reliability of Low Resistivity Silicon-TSVs and Copper TSVs

CHEN Zhi-ming¹, XIE Yi¹, WANG Shi-wei², YU Si-qi¹

(1. School of Information and Electronics, Beijing Institute of Technology, Beijing 100081, China;

2. School of Optic and Electronics, Beijing Institute of Technology, Beijing 100081, China)

Abstract: Through-silicon-vias (TSVs) has been identified as one of the most significant devices in 3D-integration. This paper addresses the comparative studies of two types of TSVs, i.e. copper-based TSVs (Cu-TSV) and low resistivity silicon pillar based TSVs (LRS-TSV), focusing on impact of geometric dimensions on their thermal-mechanical reliabilities. During the studies, finite element analysis (FEA) were utilized. First, based on the experimental dimension of the two kinds of TSV, the maximal protrusion height and thermal stress were simulated and compared under 350 °C. Second, by changing the factors of experimental model such as TSV diameter, height and pitch, the difference of their thermal mechanical characteristics was investigated and compared. The results show that the LRS-TSV performs better in terms of thermal mechanical properties.

Key words: 3D-integration; through silicon via; thermal mechanical characteristics; finite element analysis

三维集成技术被认为是能进一步减小芯片面积、增加芯片集成度并延续摩尔定律的最佳选择^[1-2]。2.5D 集成技术是三维集成技术之中的一种, 其又被称为转接层(interposer)技术。如图 1 所示, 2.5D 集成技术通过硅通孔(through-silicon-via,

TSV)转接层, 实现异质芯片与电路之间的相互连接^[3-4]。

TSV 是 2.5D 集成技术的关键, 其性能的优劣将直接影响系统的可靠性及整体性能。传统的 TSV 结构通常采用 Cu 作为中心垂直导体材料,

收稿日期: 2017-06-09

基金项目: 国家自然科学基金资助项目(61574016, 61774015)

作者简介: 陈志铭(1984—), 男, 博士, 副教授, E-mail: czm@bit.edu.cn.

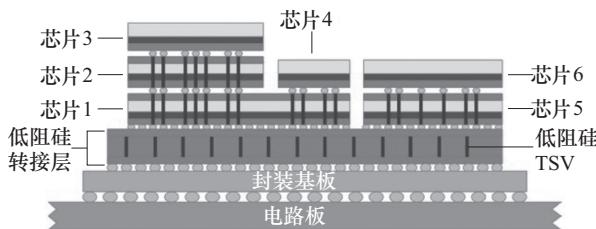


图 1 2.5D 集成技术示意图

Fig. 1 The vision of 2.5D integration circuit system

SiO_2 作为绝缘层材料。由于 Cu 、 SiO_2 以及衬底材料 Si 之间的热膨胀系数存在较大差异^[5]，传统 TSV 结构会出现诸如铜柱凸起，介质层碎裂等一系列热可靠性问题^[6-7]。相较于传统 TSV 工艺^[8-9]，低阻硅 TSV(LRS-TSV)省略了沉积绝缘层、电镀铜等工艺步骤，精简了 TSV 的工艺流程^[10]。然而，低阻硅作为导电材料存在着电阻率较大的问题。为避免出现较大的 RC 延迟，LRS-TSV 使用介电常数较低的苯并环丁烯(BCB)高分子聚合物作为绝缘层材料，以减小 TSV 与衬底间的寄生电容。同时，由于 BCB 的杨氏模量很小^[10]，可以在中心导体和硅衬底之间起到一定的缓冲作用，有望减小 TSV 的热应力。

本文通过有限元分析(FEA)的方法，对低阻硅 TSV(LRS-TSV)与传统铜 TSV(Cu-TSV)的热可靠性进行了研究和比较。探究了 TSV 尺寸对于两种 TSV 最大凸起高度、热应力的影响，比较了二者的差异。

1 仿真模型

本文采用有限元仿真方法(FEA)来研究

LRS-TSV 与 Cu-TSV 的热力学特性，对二者间的差异进行比较。采用的有限元仿真软件为 ANSYS18.0。图 2 为 TSV 网格模型。由于 TSV 通孔结构具有对称性，因此图 2 仅展示完整 TSV 模型的 1/4，而在随后的有限元分析中，为了进一步减少运算时间，本文仅使用完整 TSV 通孔的 1/8 用于有限元仿真，即图 2 中虚线上方部分。选择基本单元类型为 SOLID185。以表 1 中的尺寸和材料为基准模型进行建模。仿真中，除顶部外，侧壁 4 个面与底面都设置为对称面。设初始温度为 25 °C，LRS-TSV 和铜 TSV 在初始温度下的应力都为 0。由于沉积 SiO_2 层通常使用 PECVD 的方法，其温度为 350 °C。因此，本文模拟当温度由初始温度上升到 350 °C 时，LRS-TSV 和 Cu-TSV 的热应力分布情况及垂直方向上的凸起情况。

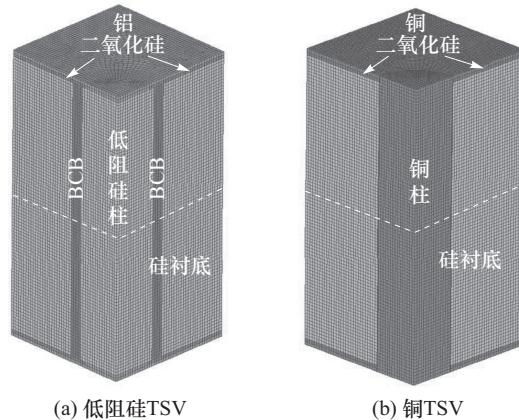


图 2 通孔网格模型

Fig. 2 FEA model

表 1 网格模型尺寸及材料

Tab. 1 The model dimension and material applied in FEA

模型	单元个数	直径 / μm	高度 / μm	间距 / μm	绝缘层材料	绝缘层厚度 / μm	表面 SiO_2 厚度 / μm	RDL 材料	RDL 厚度 / μm
LRS-TSV	79 195	30	90	50	BCB	4.0	1	Al	1
Cu-TSV	91 039	30	90	50	SiO_2	0.3	1	Cu	1

2 仿真结果

2.1 基准模型仿真结果

本文分析了当温度由初始温度 25 °C 上升到 350 °C 时，基准模型的热力学特性。

图 3 为 350 °C 时，LRS-TSV 和 Cu-TSV 的 von Mises 应力分布云图。图 3(a)中标出了 LRS-TSV 最大应力所在位置，其位于最上方的铝层中，靠近

BCB 绝缘层边缘，最大应力为 996 MPa。BCB 绝缘层内部和衬底内部的 von Mises 应力较小。而如图 3(b)所示，Cu-TSV 的最大应力分布于最上方的铜层中，靠近中心铜柱。最大应力为 1 271 MPa。

图 4 为 LRS-TSV 和 Cu-TSV 的高度分布云图。对于 LRS-TSV，由于 BCB 的热膨胀系数远大于硅与二氧化硅的热膨胀系数，因此最大凸起区域位于 BCB 绝缘层上方铝层，最大凸起高度为 97 nm，

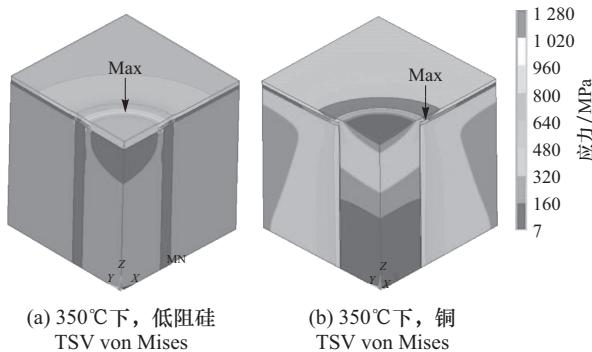


图 3 应力分布云图

Fig. 3 von Mises stress contour

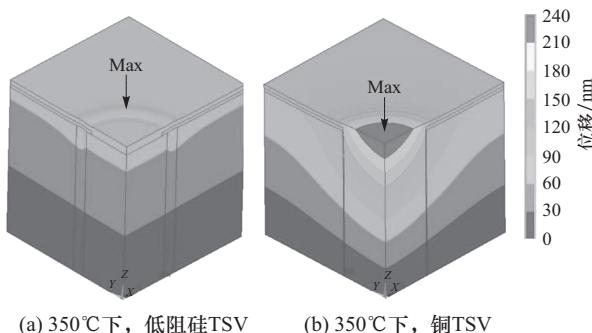


图 4 位移分布云图

Fig. 4 Displacement contour

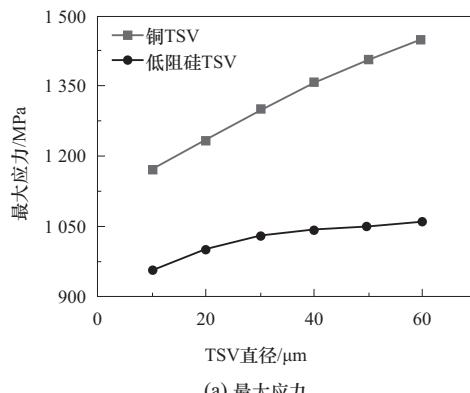
而其场区(非 TSV 区域)凸起高度为 60 nm 左右。而对于 Cu-TSV, 其垂直方向上最大的凸起区域为中心铜柱顶端, 凸起高度为 233 nm, 场区凸起高度为 90 nm 左右, 最大凸起高度约为 LRS-TSV 结构的 2.5 倍。在铜 TSV 中, 铜的热膨胀系数最大, 因此铜 TSV 的变形主要是源于铜的受热膨胀, 然而由于周围材料的限制, 中心铜柱只能进行垂直方向上的变形, 因此铜 TSV 最大凸起区域位于铜柱上方; 然而在低阻硅 TSV 中, 由于 BCB 热膨胀系数较大, 并且在受热膨胀变形过程中 BCB 也受到周围硅衬底材料的约束, 因此低阻硅 TSV 的变形主要分布在于 BCB 上方区域。

由此可以说明, 当温度升高时, 尺寸相似的 LRS-TSV 具有更小的最大 von Mises 应力和热凸起高度, 说明了 LRS-TSV 的热可靠性优于 Cu-TSV 的热可靠性。

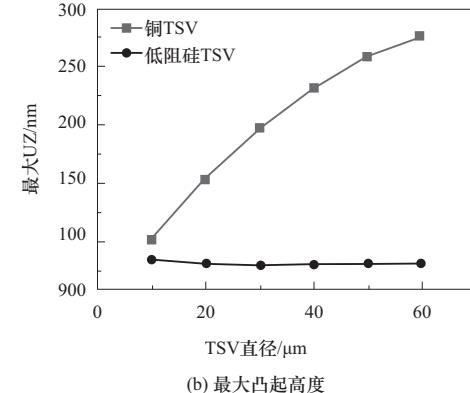
为进一步探究 LRS-TSV 和 Cu-TSV 热力学特性方面的差异, 在 LRS-TSV 和 Cu-TSV 基准模型的基础上对 TSV 直径、TSV 高度、TSV 间距分别进行了变参数分析和比较。分别记录各个参数下两种模型最大的 von Mises 应力和垂直方向上的最大凸起高度。

2.2 直径的影响

图 5 为直径对两种 TSV 最大应力和最大凸起高度的影响。可知, 当 TSV 直径由 10 μm 增至 60 μm 时, Cu-TSV 的最大应力和最大凸起高度随 TSV 直径的增长趋势都接近线性增长。其中最大应力由 1 172 MPa 增加至 1 450 MPa; 最大凸起高度由 104 nm 增加至 277 nm。而对于 LRS-TSV, 最大应力的增加幅度有限, 由 957 MPa 增加至 1 050 MPa; 最大凸起高度几乎不随 TSV 直径的变化发生改变, 保持在 82 nm 左右。



(a) 最大应力



(b) 最大凸起高度

图 5 TSV 直径对最大 von Mises 应力和最大凸起高度的影响

Fig. 5 Impact of TSV diameter on the maximum of von Mises stress and protrusion height of LRS-TSV and Cu-TSV

2.3 高度的影响

图 6 为 TSV 高度对于两种结构最大应力和垂直方向上最大凸起高度的影响。可知 Cu-TSV 最大应力不随 TSV 高度发生改变, 始终保持在 1 230 MPa 左右, 而其最大凸起高度则随 TSV 高度的增加呈线性增长趋势。当 TSV 高度为 40 μm 时为最大凸起高度为 131 nm, TSV 高度为 100 μm 时为 200 nm。对于 LRS-TSV, 其最大应力和最大凸起高度随 TSV 高度的变化趋势与 Cu-TSV 的相同。其最大应力保持在 1 000 MPa; 当 TSV 高度为 40 μm 时最大凸起高

度为 66 nm,当 TSV 高度为 100 μm 时最大凸起高度为 111 nm. LRS-TSV 的最大应力和最大凸起高度都远小于 Cu-TSV 的最大应力和最大凸起高度.

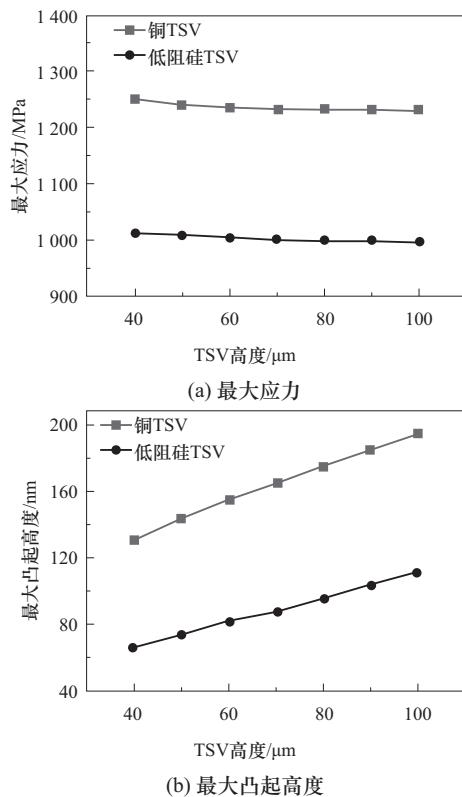


图 6 TSV 高度对最大 von Mises 应力和最大凸起高度的影响

Fig. 6 Impact of TSV height on the maximum of von Mises stress and protrusion height of LRS-TSV and Cu-TSV

综合分析图 5 和图 6 可知,对于 Cu-TSV,其热应力主要是由于 Cu、SiO₂、Si 之间径向上的热失配造成的. 由于 TSV 直径增加所引起的中心铜柱热膨胀体积的增大会导致 TSV 在径向上对硅衬底产生更大的应力. 因此,如图 5(a)所示,当 TSV 直径增大时,Cu-TSV 的最大应力也随之增加. 而在图 6(a)中,虽然 TSV 高度的增加也使得中心铜柱热膨胀体积得到一定的增大,但其对 Cu-TSV 径向上的热失配并没有造成很大的影响,因此 Cu-TSV 的最大应力几乎不随 TSV 高度的增加而发生改变. 但是,中心铜柱热膨胀体积的增加会对 Cu-TSV 的最大凸起高度产生较大的影响,如图 5(b)、6(b)所示,Cu-TSV 其最大凸起高度会随 TSV 高度和直径的增加呈线性增长趋势.

而对于 LRS-TSV,其最大应力和最大凸起高度都分布于 BCB 绝缘层上方区域附近,这主要是由于中心硅柱与硅衬底受热膨胀后使 BCB 凸起挤压上

方铝层所造成的. 然而,低阻硅柱与硅衬底之间并不存在热失配,因此,如图 5(a),图 6(a)所示,尽管 TSV 直径和高度的增加都会引起低阻硅柱热膨胀体积的增大,但对其最大应力影响有限. 在图 5(b),LRS-TSV 最大凸起高度并不随 TSV 直径的变化发生改变. 由于 BCB 杨氏模量(2.9 GPa)远小于低阻硅杨氏模量(169 GPa),因此其热应变主要沿 TSV 轴向. 当只有 TSV 直径发生改变时,不会对 BCB 绝缘层的热应变产生较大影响. 因此 LRS-TSV 的最大凸起高度不随 TSV 直径的增加发生变化. 然而,如图 6(b)所示,TSV 的高度增加却会导致 BCB 绝缘层高度产生相应的变化,这使得 BCB 绝缘层垂直方向上的热膨胀体积变大,这将导致其最大凸起高度出现相应的增加.

2.4 间距的影响

图 7 为 TSV 间距对两种结构最大应力和垂直方向上最大凸起高度的影响.

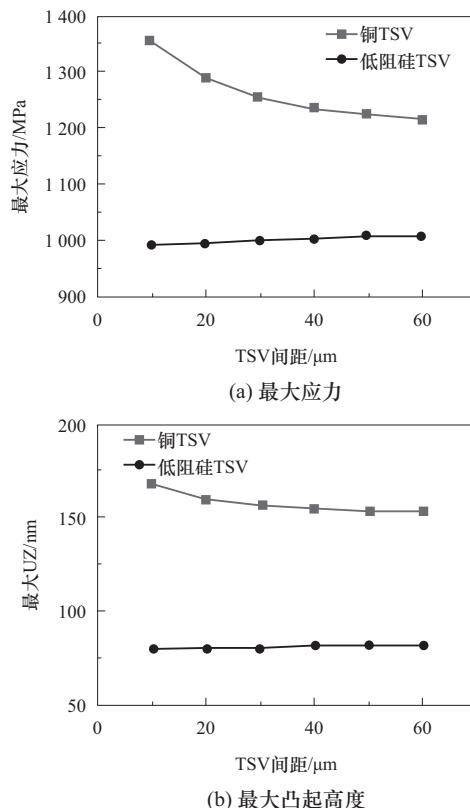


图 7 TSV 间距对最大 von Mises 应力和最大凸起高度的影响

Fig. 7 Impact of TSV pitch on the maximum of von Mises stress and protrusion height of LRS-TSV and Cu-TSV

对于 Cu-TSV,最大 von Mises 应力和垂直方向上最大凸起高度都随着 TSV 间距的增大而出现下降,但下降速率逐渐减小;这是由于随着 TSV 间距的

增加,TSV 的密度随之减小,相邻 TSV 之间的互相影响也随之减小。因此,当 TSV 间距增加时,Cu-TSV 的最大应力和最大凸起高度都将随之减小,最终将趋近于单个 Cu-TSV 的最大应力和最大凸起高度。

而对于 LRS-TSV,其最大应力和最大凸起高度都分布于 BCB 绝缘层上方,TSV 间距的增加几乎不影响其最大 von Mises 应力和垂直方向上最大凸起高度,其最大应力保持在 1 000 MPa 左右,最大凸起高度保持在 81 nm 左右。由于 BCB 的杨氏模量远小于硅,其很难对相邻的 TSV 产生影响。所以,LRS-TSV 的最大应力和凸起高度都不随 TSV 间距的增加而产生明显的变化。

综合以上分析可知,LRS-TSV 的最大 von Mises 应力和最大凸起高度都远小于 Cu-TSV 的最大 von Mises 应力和最大凸起高度。可以认为 LRS-TSV 可以很好地缓解由于热应力失配所引起的一系列热可靠性问题。相较于 Cu-TSV,LRS-TSV 结构拥有更好的热可靠性。

3 结 论

对 LRS-TSV 和传统 Cu-TSV 进行了热力学仿真分析。不同于 Cu-TSV,LRS-TSV 发生最大凸起的区域和最大应力均位于 BCB 绝缘层上方。参数分析表明,对于 Cu-TSV,TSV 直径与最大应力和最大凸起高度基本成正比关系,TSV 高度不会影响其最大应力,但最大凸起高度会随 TSV 高度的增加呈现出线性增长的趋势,TSV 间距的增加会导致最大应力和最大凸起高度出现降低,但下降速率逐渐减小;对于 LRS-TSV,TSV 的直径和间距不会对 TSV 的最大应力和最大凸起高度产生较大影响,TSV 高度与最大凸起高度基本成正比,但对 TSV 的最大应力并无太大影响。综合对比参数分析的结果可以看出,LRS-TSV 的最大凸起高度小于 Cu-TSV 的最大凸起高度,最大应力也小于 Cu-TSV 的最大应力,TSV 尺寸的变化对于 LRS-TSV 热力学性质的影响较小,LRS-TSV 的热力学性质明显优于 Cu-TSV。相较于 Cu-TSV,LRS-TSV 具有更好的热力学性质,可以有效减少热失配引起的热应力,提高了系统的可靠性。

参考文献:

- [1] Koyanagi M, Fukushima T, Tanaka T. High-density through silicon vias for 3-D LSIs[J]. Proceedings of the IEEE, 2009, 97(1): 49 - 59.
- [2] Patti R S. Three-dimensional integrated circuits and the future of system-on-chip designs[J]. Proceedings of the IEEE, 2006, 94(6): 1214 - 1224.
- [3] Koyanagi M, Nakamura T, Yamada Y, et al. Three-dimensional integration technology based on wafer bonding with vertical buried interconnections [J]. IEEE Transactions on Electron Devices, 2006, 53(11): 2799 - 2808.
- [4] Chen Q W, Yan Y Y, Ding Y T, et al. Fabrication and electrical characteristics of a novel interposer with polymer liner and silicon pillars with ultra-low-resistivity as through-silicon-vias (TSVs) for 2.5D/3D applications [J]. Microsystem Technologies, 2015, 21(10): 2207 - 2214.
- [5] Ryu S K, Lu K H, Zhang X, et al. Impact of near-surface thermal stresses on interfacial reliability of through-Silicon vias for 3-D interconnects[J]. IEEE Transactions on Device & Materials Reliability, 2011, 11(1): 35 - 43.
- [6] Ding Y T, Yan Y Y, Chen Q W, et al. Analytical solution on interfacial reliability of 3-D through-silicon-via (TSV) containing dielectric liner[J]. Microelectronics Reliability, 2014, 54(6 - 7): 1384 - 1391.
- [7] Wang S W, Yan Y Y, Cheng Z M, et al. Impact of polyimide liner on high-aspect-ratio through-silicon-vias (TSVs): electrical characteristics and copper protrusion [J]. Microsystem Technologies, 2017, 23: 1 - 8.
- [8] Choi J, Guan O, Mao Y, et al. TSV Cu filling failure modes and mechanisms causing the failures[J]. IEEE Transactions on Components Packaging & Manufacturing Technology, 2014, 4(4): 581 - 587.
- [9] Wang F L, Wang F. Void detection in TSVs with X-ray image multithreshold segmentation and artificial neural networks[J]. IEEE Transactions on Components Packaging & Manufacturing Technology, 2014, 4(7): 1245 - 1250.
- [10] 王士伟,严阳阳,程志强,等. 低阻硅 TSV 高温工艺中的热力学分析[J]. 北京理工大学学报, 2017, 37(2): 201 - 206.
Wang Shiwei, Yan Yangyang, Cheng Zhiqiang, et al. Thermal-mechanical analysis of low resistivity silicon through silicon via (TSV) during high temperature process [J]. Transactions of Beijing Institute of Technology, 2017, 37(2): 201 - 206. (in Chinese)

(责任编辑:刘芳)